

(19) KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020030027233 A
 (43)Date of publication of application: 07.04.2003

(21)Application number: 1020010057622
 (22)Date of filing: 18.09.2001

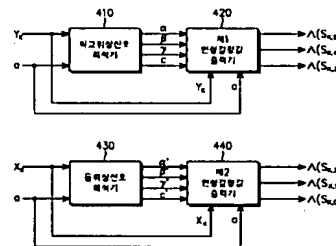
(71)Applicant: SAMSUNG ELECTRONICS CO., LTD.
 (72)Inventor: HA, SANG HYEOK
 KIM, MIN GU

(51)Int. Cl. H04L 27/34

(54) APPARATUS AND METHOD FOR CALCULATING CHANNEL DECODER INPUT SOFT DECISION VALUE IN DATA COMMUNICATION SYSTEM

(57) Abstract:

PURPOSE: An apparatus for calculating a channel decoder input soft decision value in a data communication system and a method thereof are provided, which calculates a soft decision value without performing a complication calculation and through a simple circuit.



CONSTITUTION: According to the apparatus for calculating an input soft decision value of a decoder in a data communication system using 64-array QAM modulation method, a quadrature phase signal analyzer(410) calculates four parameters by analyzing a quadrature phase signal from a unit coordinate value and a received quadrature phase signal. An in-phase signal analyzer(430) calculates four parameters by analyzing an in-phase signal from the above unit coordinate value and the received in-phase signal. And soft decision value output units(420,440) calculate a soft decision value using the above signals.

COPYRIGHT KIPO 2003

Legal Status

Date of final disposal of an application (20040827)

Patent registration number (1004509490000)

Date of registration (20040921)

Date of opposition against the grant of a patent (00000000)

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. 7
H04L 27/34

(11) 공개번호 특2003-0027233
(43) 공개일자 2003년04월07일

(21) 출원번호 10-2001-0057622
(22) 출원일자 2001년09월18일

(71) 출원인 삼성전자주식회사
경기도 수원시 팔달구 매탄3동 416번지

(72) 발명자 하상혁
경기도수원시권선구곡반정동488번지주공아파트121동1003호
김민구
경기도수원시팔달구영통동우성아파트822-406

(74) 대리인 이건주

심사청구 : 있음

(54) 데이터 통신 시스템에서 채널 복호기 입력 연성 결정 값계산 장치 및 방법

요약

본 발명은 QPSK보다 스펙트럼 효율(spectral efficiency)이 우수한 다중레벨변조(multi-level modulation)방식의 하나인 64-ary QAM을 변조 방법으로 채택한 데이터 통신 시스템의 수신부에서 64-ary QAM 복조기(demodulator)의 출력값인 동시에 채널복호기(channel decoder)의 입력값으로 요구되는 연성결정값(soft decision value)을 이중최소매트릭법(dual minimum metric procedure)에 의해 계산하는 방법과 이를 하드웨어로 구현하는 장치를 포함하는 것을 특징으로 한다.

도 4

대표도

색인어

64-ary QAM, SOFT DECISION VALUE, CHANNEL DECODER, SIMPLE METRIC, DUAL MINIMUM METRIC

명세서

도면의 간단한 설명

도 1은 64-ary QAM 변조방식의 성좌(signal constellation)를 도시하는 도면,

도 2 및 도 3은 본 발명의 바람직한 실시 예에 따라 연성 결정 값을 구할 경우의 흐름도,

도 4는 직교위상 신호(Y_k)와 동위상 신호(X_k) 및 a 값을 이용하여 연성 결정 값을 구하기 위한 블록 구성도,

도 5 및 도 6은 64-ary QAM 변조방식의 데이터 통신 시스템에서 복조기를 위한 채널 복호기 입력 연성 결정 값 계산 기의 구성도.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 다중레벨변조(multi-level modulation)방식을 채택한 데이터 통신 시스템에서 복조(demodulation) 장치 및 방법에 관한 것으로, 특히 64-ary QAM을 변조 방식으로 채택한 데이터 통신 시스템의 복조기(demodulator)에서 채널 복호기(channel decoder)의 입력 값을 계산하는 장치 및 방법에 관한 것이다.

통상적으로 데이터 통신 시스템에서 스펙트럼 효율(spectral efficiency)을 높이기 위해서 다중레벨변조 방식이 사용된다. 상기 다중레벨변조 방식은 여러 가지 방식이 존재한다. 상기 여러 가지 다중레벨변조 방식들 중 64-ary QAM 방식에 대하여 살펴본다. 상기 64-ary QAM 방식은 채널 부호기(channel encoder)에 의해 부호화된 신호를 변조하여 송신한다. 이와 같이 송신된 신호를 수신한 수신기는 채널 복호기(channel decoder)에서 연성결정복호(soft decision decoding) 과정을 통해 상기 변조되어 전송된 신호를 복호한다. 이와 같이 복호하기 위해서는 수신기의 복조기는 연성 결정 값(soft decision value)들을 생성하는 사상 알고리즘(mapping algorithm)을 가지고 있어야 한다. 왜냐하면 상기 변조되어 수신된 동위상(in-phase) 신호성분과 직교위상(quadrature phase) 신호성분으로 구성되기 때문이다. 따라서 상기 수신기의 복조기는 상기 2차원 수신신호로부터 채널부호기(channel encoder)의 출력 비트(bit) 각각에 상응하는 연성 결정 값들을 생성해 내는 사상 알고리즘을 가지고 있어야 한다.

이러한 사상 알고리즘에는 크게 두 가지 방식이 존재한다. 노키아(Nokia)사가 제안한 심플메트릭법(simple metric procedure)과 모토롤라(Motorola)사가 제안한 이중최소메트릭법(dual minimum metric procedure)이 바로 그것이다. 상기한 두 방식 모두 각 출력 비트에 대한 LLR(log likelihood ratio)을 계산하여 이를 채널 복호기의 입력 연성 결정 값으로 사용한다.

상기 심플메트릭법은 복잡한 LLR 계산식을 간단한 형태의 근사식으로 변형한 사상 알고리즘으로 LLR 계산이 간단하다. 그러나 근사식을 이용함으로써 LLR 왜곡에 의한 성능열화가 초래되는 문제가 있다. 그리고 상기 이중최소메트릭법은 보다 정확한 근사식을 사용하여 계산된 LLR을 채널 복호기의 입력으로 사용하는 사상 알고리즘이다. 따라서 상기 심플메트릭법을 사용할 경우 발생하는 성능열화를 상당히 개선할 수 있다. 그러나 상기 심플메트릭법에 비해 더 많은 계산량을 필요로 하며 하드웨어 구현 시에 회로가 매우 복잡해지며, 많은 소자들이 사용되는 문제가 있었다.

발명이 이루고자 하는 기술적 과제

따라서 본 발명의 목적은 64-ary QAM을 변조 방식으로 채택한 데이터 통신 시스템의 복조기에서 복잡한 계산을 수행하지 않고 연성 결정 값을 얻을 수 있는 장치 및 방법을 제공함에 있다.

본 발명의 다른 목적은 64-ary QAM을 변조 방식으로 채택한 데이터 통신 시스템의 복조기에서 간단한 회로를 통해 연성 결정 값을 얻을 수 있는 장치 및 방법을 제공함에 있다.

본 발명의 또 다른 목적은 64-ary QAM을 변조 방식으로 채택한 데이터 통신 시스템의 복조기에서 간단한 회로를 통해 보다 정확한 연성 결정 값을 얻을 수 있는 장치 및 방법을 제공함에 있다.

발명의 구성 및 작용

이하에서 본 발명을 설명함에 있어서, 관련된 공지기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단된 경우 그 상세한 설명은 생략한다. 또한 동일한 부분은 비록 다른 도면에 도시되더라도 동일한 참조부호를 사용한다.

이하 본 발명은 64-ary QAM을 변조 방식으로 채택한 데이터 통신 시스템의 복조기에서 이중최소매트릭법에 의해 계산되는 채널 복호기 입력 연성 결정 값을 사상표(mapping table)나 복잡한 계산 없이 얻을 수 있는 방법에 대해 설명할 것이다.

2차원 수신신호로부터 다차원 연성 결정 값들을 생성해내는 구체적인 알고리즘은 다음과 같다. 이진 채널 부호기(binary channel encoder)의 출력 시퀀스(sequence)는 m 개의 비트 단위로 나뉘진 후, $M(=2m)$ 개의 신호점(signal point) 가운데 해당되는 특정 신호점으로 사상되며, 이 때의 사상은 Gray coding rule을 따른다. 이를 수학식으로 도시하면 하기 < 수학식 1> 과 같이 도시된다.

수학식 1

$$s_{k,m-1} s_{k,m-2} \dots s_{k,0} \xrightarrow{\quad} I_k, Q_k$$

상기 < 수학식 1> 에서 $s_{k,i}$ ($i = 0, 1, \dots, m-1$)는 k 번째 심볼로 사상되는 이진 채널 부호기의 출력 시퀀스 가운데 i 번째 비트를 의미하며, I_k 및 Q_k 는 각각 k 번째 심볼의 동위상 신호성분과 직교위상 신호성분을 의미한다. 64-ary QAM의 경우 $m = 6$ 이며, 이에 해당하는 성좌도(signal constellation)를 도 1에 도시하였다.

I_k 및 Q_k 에 상응되는 수신기의 심볼 복조기(symbol demodulator) 출력을 복소수(complex number) 형태로 나타내면 하기 < 수학식 2> 와 같이 도시할 수 있다.

수학식 2

$$\begin{aligned} R_k &\equiv X_k + jY_k \\ &= g_k(I - k + jQ_k) + (\eta'_k + j\eta''_k) \end{aligned}$$

상기 < 수학식 2> 에서 X_k 및 Y_k 는 각각 심볼 복조기 출력의 동위상 신호성분 및 직교위상 신호성분을 의미하며, g_k 는 송신단과 전송매체(transmission media) 및 수신단의 이득(gain)을 포괄적으로 나타내는 복소계수(complex coefficient)이다. 그리고 η' 와 η'' 는 평균이 0이고 분산이 σ^2 인 가우시안 잡음(Gaussian noise)으로 통계적으로 서로 독립인 관계이다.

$s_{k,i}$ ($i = 0, 1, \dots, m-1$)와 관련된 LLR (log likelihood ratio)은 하기 < 수학식 3> 에 의해 구할 수 있으며, 이를 채널 복조기(channel decoder)에 입력되는 연성 결정 값으로 사용할 수 있다.

수학식 3

$$A(S_{k,i}) = K \log \frac{\Pr\{s_{k,i}=1 | X_k, Y_k\}}{\Pr\{s_{k,i}=0 | X_k, Y_k\}} \quad i = 0, 1, \dots, m-1$$

상기 < 수학식 3> 에서 K는 상수이며, $\Pr\{A|B\}$ 는 사건 B가 발생했을 때, 사건 A의 발생 확률로 정의되는 조건부 확률(conditional probability)이다. 그러나, 상기 < 수학식 3> 은 비선형(non-linear)이며 비교적 많은 계산량을 수반하므로, 실제 구현을 위해서는 상기 < 수학식 3> 을 근사화(approximation)할 수 있는 알고리즘이 요구된다. 상기 < 수학식 2> 에서의 $g_k = 1$ 인 가우시안 잡음 채널의 경우 상기 < 수학식 3> 을 이중최소매트릭법에 의해 근사화하면 상기 < 수학식 4> 와 같이 도식할 수 있다.

수학식 4

$$\begin{aligned} A(s_{k,i}) &= K \log \frac{\sum_{s_{k,i}} \exp \{-1/\sigma_g^2 | R_k - z_k(s_{k,i}=0) |^2\}}{\sum_{s_{k,i}} \exp \{-1/\sigma_g^2 | R_k - z_k(s_{k,i}=1) |^2\}} \\ &\approx K \log \frac{\exp \{-1/\sigma_g^2 | R_k - z_k(s_{k,i}=0) |^2\}}{\exp \{-1/\sigma_g^2 | R_k - z_k(s_{k,i}=1) |^2\}} \\ &= K [\min | R_k - z_k(s_{k,i}=1) |^2 - \min | R_k - z_k(s_{k,i}=0) |^2] \end{aligned}$$

상기 < 수학식 4> 에서 $K' = (1/\sigma_g^2) K$ 이며, $z_k(s_{k,i}=0)$ 와 $z_k(s_{k,i}=1)$ 은 각각 $s_{k,i}=0$ 일 때와 $s_{k,i}=1$ 일 때 $I_k + jQ_k$ 의 실제 값을 의미한다. 그러므로 상기 < 수학식 4> 를 계산하기 위해서는 2차원 수신신호 R_k 에 대해 $|R_k - z_k(s_{k,i}=0)|^2$ 및 $|R_k - z_k(s_{k,i}=1)|^2$ 를 최소화하는 $z_k(s_{k,i}=0)$ 및 $z_k(s_{k,i}=1)$ 를 찾아야 한다. 그러므로 상기한 이중최소매트릭법에 의해 근사화된 상기 < 수학식 4> 는 상기 < 수학식 5> 와 같이 도식할 수 있다.

수학식 5

$$\begin{aligned} A(S_{k,i}) &= K' [\min | r_k - z_k(s_{k,i}=1) |^2 - \min | R_k - z_k(s_{k,i}=0) |^2] \\ &= K' (2n_{k,i}-1) [| r_k - z_k(s_{k,i}=n_{k,i}) |^2 - \min | R_k - z_k(s_{k,i}=\overline{n_{k,i}}) |^2] \end{aligned}$$

상기 < 수학식 5> 에서 $n_{k,i}$ 는 R_k 와 가장 가까운 거리에 있는 신호점에 대한 역사상 시퀀스의 i 번째 비트 값을 의미하며 $\overline{n_{k,i}}$ 는 $n_{k,i}$ 에 대한 부정(negation)을 의미한다. 최단거리 신호점은 R_k 의 동위상 신호성분과 직교위상 신호성분의 값의 범위에 의해 결정된다. 또한 상기 < 수학식 5> 의 괄호 [...] 속의 첫 번째 항은 다음의 < 수학식 6> 과 같이 쓸 수 있다.

수학식 6

$$| R_k - z_k(s_{k,i}=n_{k,i}) |^2 = (X_k - U_k)^2 + (Y_k - V_k)^2$$

상기 < 수학적식 6> 에서 U_k 와 V_k 는 각각 $\{n_{k,m-1}, \dots, n_{k,i}, \dots, n_{k,1}, n_{k,0}\}$ 에 의해 사상되는 신호점의 동위상 신호 성분과 직교위상 신호성분을 의미한다. 또한, 상기 < 수학적식 5> 의 괄호 (·) 속의 두 번째 항은 하기 < 수학적식 7> 과 같이 쓸 수 있다.

수학적식 7

$$\min |R_k - z_k (S_{k,i} = \overline{n_{k,i}})|^2 = (X_k - U_{k,i})^2 + (Y_k - V_{k,i})^2$$

상기 < 수학적식 7> 에서 $U_{k,i}$ 와 $V_{k,i}$ 는 각각 $\min |R_k - z_k (S_{k,i} = \overline{n_{k,i}})|^2$ 를 최소화하는 z_k 의 역사상 시퀀스 $\{m_{k,m-1}, \dots, m_{k,i} (= \overline{n_{k,i}}), \dots, m_{k,i}, m_{k,0}\}$ 에 의해 사상되는 신호점의 동위상 신호성분과 직교위상 신호성분을 의미한다. 상기 < 수학적식 6> 과 상기 < 수학적식 7> 에 의해 상기 < 수학적식 5> 는 하기의 < 수학적식 8> 과 같이 정리된다.

수학적식 8

$$\begin{aligned} A(s_{k,i}) &= K(2n_{k,i}-1)[\{(X_k - U_k)^2 + (Y_k - V_k)^2\} - \{(X_k - U_{k,i})^2 + (Y_k - V_{k,i})^2\}] \\ &= K(2n_{k,i}-1)[(U_k + U_{k,i} - 2X_k)(U_k - U_{k,i}) \\ &\quad + (V_k + V_{k,i} - 2Y_k)(V_k - V_{k,i})] \end{aligned}$$

상기 < 수학적식 8> 에 의해 64-ary QAM을 변조 방식으로 채택한 데이터 통신 시스템의 복조기를 위한 채널 복호기 입력 연성 결정 값을 구하는 과정을 설명하면 하기와 같다. 먼저 64-ary QAM 수신신호 R_k 의 두 신호성분 X_k, Y_k 로부터 $\{n_{k,5}, n_{k,4}, n_{k,3}, n_{k,2}, n_{k,1}, n_{k,0}\}$ 및 U_k, V_k 를 구하기 위해 하기 < 표 1> 과 < 표 2> 를 이용한다.

[표 1]

Y_k 의 조건	$(n_{k,5}, n_{k,4}, n_{k,3})$	V_k
$Y_k > 6a$	(0, 0, 0)	7a
$4a < Y_k < 6a$	(0, 0, 1)	5a
$2a < Y_k < 4a$	(0, 1, 1)	3a
$0 < Y_k < 2a$	(0, 1, 0)	a
$-2a < Y_k < 0$	(1, 1, 0)	-a
$-4a < Y_k < -2a$	(1, 1, 1)	-3a
$-6a < Y_k < -4a$	(1, 0, 1)	-5a
$Y_k < -6a$	(1, 0, 0)	-7a

[표 2]

X_k 의 조건	$(n_{k,2}, n_{k,1}, n_{k,0})$	U_k
$X_k > 6a$	$(0, 0, 0)$	$7a$
$4a < X_k < 6a$	$(0, 0, 1)$	$5a$
$2a < X_k < 4a$	$(0, 1, 1)$	$3a$
$0 < X_k < 2a$	$(0, 1, 0)$	a
$-2a < X_k < 0$	$(1, 1, 0)$	$-a$
$-4a < X_k < -2a$	$(1, 1, 1)$	$-3a$
$-6a < X_k < -4a$	$(1, 0, 1)$	$-5a$
$X_k < -6a$	$(1, 0, 0)$	$-7a$

상기 < 표 1> 에는 도 1에 나타난 가로축에 평행한 8개의 영역에 대해 수신신호 R_k 의 직교위상 신호성분 Y_k 가 각 영역에 나타날 경우에 대한 $(n_{k,5}, n_{k,4}, n_{k,3})$ 및 V_k 가 나타나 있으며, 편의상 7개의 경계 값 즉, $Y_k = -6a, Y_k = -4a, Y_k = -2a, Y_k = 0, Y_k = 2a, Y_k = 4a, Y_k = 6a$ 에서의 결과 값들은 생략되어 있다. 또한 상기 < 표 2> 에는 도 1에 나타난 세로축에 평행한 8개의 영역에 대해 수신신호 R_k 의 동위상 신호성분 X_k 가 각 영역에 나타날 경우에 대한 $(n_{k,2}, n_{k,1}, n_{k,0})$ 및 U_k 가 나타나 있으며, 편의상 7개의 경계 값 즉, $X_k = -6a, X_k = -4a, X_k = -2a, X_k = 0, X_k = 2a, X_k = 4a, X_k = 6a$ 에서의 결과 값들은 생략되어 있다.

하기 < 표 3> 에는 각 i ($i \in \{0, 1, 2, 3, 4, 5\}$)에 대해 $|R_i - z_k(S_k - \bar{n}_k)|^2$ 를 최소화하는 시퀀스 $\{m_{k,5}, m_{k,4}, m_{k,3}, m_{k,2}, m_{k,1}, m_{k,0}\}$ 를 찾은 후 이를 $\{n_{k,5}, n_{k,4}, n_{k,3}, n_{k,2}, n_{k,1}, n_{k,0}\}$ 의 함수로 나타낸 결과와, 이에 해당하는 z_k 의 동위상 및 직교위상신호성분인 $U_{k,i}, V_{k,i}$ 를 보인다.

i	$\{m_{k,5}, m_{k,4}, m_{k,3}, m_{k,2}, m_{k,1}, m_{k,0}\}$	$V_{k,i}$	$U_{k,i}$
5	$\{\bar{n}_{k,5}, 1, 0, n_{k,2}, n_{k,1}, n_{k,0}\}$	$V_{k,5}$	U_k
4	$\{n_{k,5}, \bar{n}_{k,4}, 1, n_{k,2}, n_{k,1}, n_{k,0}\}$	$V_{k,4}$	U_k
3	$\{n_{k,5}, n_{k,4}, \bar{n}_{k,3}, n_{k,2}, n_{k,1}, n_{k,0}\}$	$V_{k,3}$	U_k
2	$\{n_{k,5}, n_{k,4}, n_{k,3}, \bar{n}_{k,2}, 1, 0\}$	V_k	$U_{k,2}$
1	$\{n_{k,5}, n_{k,4}, n_{k,3}, n_{k,2}, \bar{n}_{k,1}, 1\}$	V_k	$U_{k,1}$
0	$\{n_{k,5}, n_{k,4}, n_{k,3}, n_{k,2}, n_{k,1}, \bar{n}_{k,0}\}$	V_k	$U_{k,0}$

또한 하기 < 표 4> 와 < 표 5> 에는 $(n_{k,5}, n_{k,4}, n_{k,3})$ 와 $(n_{k,2}, n_{k,1}, n_{k,0})$ 의 모든 조합에 대해 각각 상기 < 표 3> 에서 찾은 $(m_{k,5}, m_{k,4}, m_{k,3})$ 와 $(m_{k,2}, m_{k,1}, m_{k,0})$ 에 해당하는 $V_{k,i}$ 와 $U_{k,i}$ 의 값을 보이고 있다.

[표 3]

$(n_{k,5}, n_{k,4}, n_{k,3})$	$V_{k,5}$	$V_{k,4}$	$V_{k,3}$
(0, 0, 0)	-a	3a	5a
(0, 0, 1)	-a	3a	7a
(0, 1, 1)	-a	5a	a
(0, 1, 0)	-a	5a	3a
(1, 1, 0)	a	-5a	-3a
(1, 1, 1)	a	-5a	-a
(1, 0, 1)	a	-3a	-7a
(1, 0, 0)	a	-3a	-5a

[표 4]

$(n_{k,2}, n_{k,1}, n_{k,0})$	$U_{k,2}$	$U_{k,1}$	$U_{k,0}$
(0, 0, 0)	-a	3a	5a
(0, 0, 1)	-a	3a	7a
(0, 1, 1)	-a	5a	a
(0, 1, 0)	-a	5a	3a
(1, 1, 0)	a	-5a	-3a
(1, 1, 1)	a	-5a	-a
(1, 0, 1)	a	-3a	-7a
(1, 0, 0)	a	-3a	-5a

또한 하기 < 표 6> 과 < 표 7> 에는 각각 상기 < 표 4> 와 < 표 5> 에서 얻어진 $V_{k,i}$ 와 $U_{k,i}$ 를 상기 < 수식 8>에 대입하여 얻어진 채널 복호기의 입력 연성 결정 값이 $K' \times 4a$ 의 비율만큼 비례축소(scaling)된 결과를 보이고 있다.

[표 5]

Y_k 의 조건	$\Lambda(s_{k,5})$	$\Lambda(s_{k,4})$	$\Lambda(s_{k,3})$
$Y_k > 6a$	$4Y_k - 12a$	$2Y_k - 10a$	$Y_k - 6a$
$4a < Y_k < 6a$	$3Y_k - 6a$	$Y_k - 4a$	$Y_k - 6a$
$2a < Y_k < 4a$	$2Y_k - 2a$	$Y_k - 4a$	$-Y_k + 2a$
$0 < Y_k < 2a$	Y_k	$2Y_k - 6a$	$-Y_k + 2a$
$-2a < Y_k < 0$	Y_k	$-2Y_k - 6a$	$Y_k + 2a$
$-4a < Y_k < -2a$	$2Y_k + 2a$	$-Y_k - 4a$	$Y_k + 2a$
$-6a < Y_k < -4a$	$3Y_k + 6a$	$-Y_k - 4a$	$-Y_k - 6a$
$Y_k < -6a$	$4Y_k + 12a$	$-2Y_k - 10a$	$-Y_k - 6a$

[표 6]

X_k 의 조건	$\Lambda(s_{k,2})$	$\Lambda(s_{k,1})$	$\Lambda(s_{k,0})$
$X_k > 6a$	$4X_k - 12a$	$2X_k - 10a$	$X_k - 6a$
$4a < X_k < 6a$	$3X_k - 6a$	$X_k - 4a$	$X_k - 6a$
$2a < X_k < 4a$	$2X_k - 2a$	$X_k - 4a$	$-X_k + 2a$
$0 < X_k < 2a$	X_k	$2X_k - 6a$	$-X_k + 2a$
$-2a < X_k < 0$	X_k	$-2X_k - 6a$	$X_k + 2a$
$-4a < X_k < -2a$	$2X_k + 2a$	$-X_k - 4a$	$X_k + 2a$
$-6a < X_k < -4a$	$3X_k + 6a$	$-X_k - 4a$	$-X_k - 6a$
$X_k < -6a$	$4X_k + 12a$	$-2X_k - 10a$	$-X_k - 6a$

결국, 수신신호 R_k 를 수신하면, 상기 < 표 6> 과 < 표 7> 에 의해 해당 조건에 부합하는 LLR을 입력 연성 결정 값으로 출력할 수 있다. 만약, 시스템에서 사용하는 채널 복호기가 Max LogMAP 복호기가 아닌 경우에는 상기 < 표 6> 과 < 표 7> 의 LLR을 비례축소비율의 역으로 다시 비례 확대하는 과정이 추가되어야 한다.

그러나 상기 < 표 6> 이나 < 표 7> 과 같은 사상표를 이용하여 채널 복호기 입력 연성 결정 값을 출력하는 경우에는 복조기에서 수신신호의 조건을 판단하는 연산을 수행하여야 한다. 그리고 해당 조건에 따른 출력 내용을 저장해 놓을 기억장치가 요구되는 문제가 있다. 이러한 문제는 채널 복호기 입력 연성 결정 값을 사상표가 아닌 보다 간단한 조건 판단 연산을 가지는 수학적 식으로 대체함으로써 극복될 수 있다.

이를 위해 상기 < 표 6> 과 < 표 7> 에 나타난 조건 판단식을 다른 방법으로 표현하면 각각 하기의 < 표 8> 및 < 표 9> 와 같다.

[표 7]

Y_k 의 조건	Y_k 의 부호	Z_{1k} 의 부호	Z_{2k} 의 부호	Z_{1k}	Z_{2k}
$Y_k > 6a$	$Y_k \geq 0$	$Z_{1k} \geq 0$	$Z_{2k} \geq 0$	$Y_k - 4a$	$Y_k - 6a$
$4a < Y_k < 6a$			$Z_{2k} < 0$	$Y_k - 4a$	$Y_k - 6a$
$2a < Y_k < 4a$		$Z_{1k} < 0$	$Z_{2k} < 0$	$Y_k - 4a$	$-Y_k + 2a$
$0 < Y_k < 2a$			$Z_{2k} \geq 0$	$Y_k - 4a$	$-Y_k + 2a$
$-2a < Y_k < 0$	$Y_k < 0$	$Z_{1k} < 0$	$Z_{2k} \geq 0$	$-Y_k - 4a$	$Y_k + 2a$
$-4a < Y_k < -2a$			$Z_{2k} < 0$	$-Y_k - 4a$	$Y_k + 2a$
$-6a < Y_k < -4a$		$Z_{1k} \geq 0$	$Z_{2k} < 0$	$-Y_k - 4a$	$-Y_k - 6a$
$Y_k < -6a$			$Z_{2k} \geq 0$	$-Y_k - 4a$	$-Y_k - 6a$

[표 8]

X_k 의 조건	X_k 의 부호	Z_{1k} 의 부호	Z_{2k} 의 부호	Z_{1k}	Z_{2k}
$X_k > 6a$	$X_k \geq 0$	$Z_{1k} \geq 0$	$Z_{2k} \geq 0$	$X_k - 4a$	$X_k - 6a$
$4a < X_k < 6a$			$Z_{2k} < 0$	$X_k - 4a$	$X_k - 6a$
$2a < X_k < 4a$		$Z_{1k} < 0$	$Z_{2k} < 0$	$X_k - 4a$	$-X_k + 2a$
$0 < X_k < 2a$			$Z_{2k} \geq 0$	$X_k - 4a$	$-X_k + 2a$
$-2a < X_k < 0$	$X_k < 0$	$Z_{1k} < 0$	$Z_{2k} \geq 0$	$-X_k - 4a$	$X_k + 2a$
$-4a < X_k < -2a$			$Z_{2k} < 0$	$-X_k - 4a$	$X_k + 2a$
$-6a < X_k < -4a$		$Z_{1k} \geq 0$	$Z_{2k} < 0$	$-X_k - 4a$	$-X_k - 6a$
$X_k < -6a$			$Z_{2k} \geq 0$	$-X_k - 4a$	$-X_k - 6a$

상기 < 표 8> 에서 Z_{1k} , Z_{2k} 는 각각 $|Y_k| - 4a$, $|Z_{1k}| - 2a$ 이고, 상기 < 표 9> 에서 Z'_{1k} , Z'_{2k} 는 각각 $|X_k| - 4a$, $|Z'_{1k}| - 2a$ 이며, 상기 < 표 8> 및 상기 < 표 9> 에는 상기 < 표 6> 과 < 표 7> 에서 편의상 생략된 각 7개의 경계 값에서의 연성 결정 값들도 고려되어 있다.

하드웨어 구현 시 $X_k, Y_k, Z_{1k}, Z_{2k}, Z'_{1k}, Z'_{2k}$ 의 부호를 각각 그 부호비트(sign bit)에 의해 표현 가능하다는 전제 하에 상기 < 표 8> 과 상기 < 표 9> 를 좀더 단순화하고 해당 조건에 부합하는 LLR을 각각 Y_k, Z_{1k}, Z_{2k} 와 X_k, Z'_{1k}, Z'_{2k} 의 함수로 나타내면 각각 하기의 < 표 10> 과 < 표 11> 을 얻을 수 있다.

[표 9]

MSB(Y_k)	MSB(Z_{1k})	MSB(Z_{2k})	$\Lambda(s_{k,5})$	$\Lambda(s_{k,4})$	$\Lambda(s_{k,3})$
0	0	0	$Y_k + 3Z_{1k}$	$Z_{1k} + Z_{2k}$	Z_{2k}
		1	$Y_k + 3Z_{1k} - Z_{2k}$	Z_{1k}	Z_{2k}
	1	0	Y_k	$Z_{1k} - Z_{2k}$	Z_{2k}
		1	$Y_k - Z_{2k}$	Z_{1k}	Z_{2k}
1	0	0	$Y_k - 3Z_{1k}$	$Z_{1k} + Z_{2k}$	Z_{2k}
		1	$Y_k - 3Z_{1k} + Z_{2k}$	Z_{1k}	Z_{2k}
	1	0	Y_k	$Z_{1k} - Z_{2k}$	Z_{2k}
		1	$Y_k + Z_{2k}$	Z_{1k}	Z_{2k}

[표 10]

MSB(Y_k)	MSB(Z'_{1k})	MSB(Z'_{2k})	$\Lambda(s_{k,2})$	$\Lambda(s_{k,1})$	$\Lambda(s_{k,0})$
0	0	0	$X_k + 3Z'_{1k}$	$Z'_{1k} + Z'_{2k}$	Z'_{2k}
		1	$X_k + 3Z'_{1k} - Z'_{2k}$	Z'_{1k}	Z'_{2k}
	1	0	X_k	$Z'_{1k} - Z'_{2k}$	Z'_{2k}
		1	$X_k - Z'_{2k}$	Z'_{1k}	Z'_{2k}
1	0	0	$X_k - 3Z'_{1k}$	$Z'_{1k} + Z'_{2k}$	Z'_{2k}
		1	$X_k - 3Z'_{1k} + Z'_{2k}$	Z'_{1k}	Z'_{2k}
	1	0	X_k	$Z'_{1k} - Z'_{2k}$	Z'_{2k}
		1	$X_k + Z'_{2k}$	Z'_{1k}	Z'_{2k}

상기 < 표 10> 과 < 표 11> 에서 MSB(??)는 ??의 최상위비트(most significant bit)를 의미한다.

상기 < 표 10> 로부터 $i = 5, 4, 3$ 에서의 연성 결정 값 즉, $\Lambda(s_{k,5}), \Lambda(s_{k,4}), \Lambda(s_{k,3})$ 를 각각 수학식으로 표현하면 하기 < 수학식 9> 내지 하기 < 수학식 11> 과 같이 표현된다.

수학식 9

$$\Lambda(s_{k,5}) = Y_k + c(\alpha \cdot Z_{1k} + \beta \cdot Z_{2k}) \text{ where } \alpha = \begin{cases} 3 & \text{if } \text{MSB}(Z_{1k}) = 0 \\ 0 & \text{if } \text{MSB}(Z_{1k}) = 1 \end{cases}$$

$$\beta = \begin{cases} 0 & \text{if } \text{MSB}(Z_{2k}) = 0 \\ -1 & \text{if } \text{MSB}(Z_{2k}) = 1 \end{cases}$$

$$\text{and } c = \begin{cases} 1 & \text{if } \text{MSB}(Y_k) = 0 \\ -1 & \text{if } \text{MSB}(Y_k) = 1 \end{cases}$$

수학식 10

$$\Lambda(s_{k,4}) = Z_{1k} + \gamma \cdot Z_{2k} \text{ where } \gamma = \begin{cases} 0 & \text{if } MSB(Z_{2k}) = 1 \\ 1 & \text{if } MSB(Z_{2k}) = 0 \text{ and } MSB(Z_{1k}) = 0 \\ -1 & \text{if } MSB(Z_{2k}) = 0 \text{ and } MSB(Z_{1k}) = 1 \end{cases}$$

수학식 11

$$\Lambda(s_{k,3}) = z_{2k}$$

상기 < 표 11>로부터 i = 2, 1, 0에서의 연성 결정 값 즉, $\Lambda(s_{k,1})$, $\Lambda(s_{k,1})$, $\Lambda(s_{k,0})$ 를 각각 수학식으로 표현하면, 하기 < 수학식 12> 내지 < 수학식 14> 와 같이 도식할 수 있다.

수학식 12

$$\Lambda(s_{k,5}) = X_k + c'(\alpha' \cdot Z'_{1k} + \beta' \cdot Z'_{2k}) \text{ where } \alpha' = \begin{cases} 3 & \text{if } MSB(Z'_{1k}) = 0 \\ 0 & \text{if } MSB(Z'_{1k}) = 1 \end{cases}$$

$$\beta' = \begin{cases} 0 & \text{if } MSB(Z'_{2k}) = 0 \\ -1 & \text{if } MSB(Z'_{2k}) = 1 \end{cases}$$

$$\text{and } c' = \begin{cases} 1 & \text{if } MSB(X_k) = 0 \\ -1 & \text{if } MSB(X_k) = 1 \end{cases}$$

수학식 13

$$\Lambda(s_{k,5}) = X_k + c'(\alpha' \cdot Z'_{1k} + \beta' \cdot Z'_{2k}) \text{ where } \alpha' = \begin{cases} 3 & \text{if } MSB(Z'_{1k}) = 0 \\ 0 & \text{if } MSB(Z'_{1k}) = 1 \end{cases}$$

$$\beta' = \begin{cases} 0 & \text{if } MSB(Z'_{2k}) = 0 \\ -1 & \text{if } MSB(Z'_{2k}) = 1 \end{cases}$$

$$\text{and } c' = \begin{cases} 1 & \text{if } MSB(X_k) = 0 \\ -1 & \text{if } MSB(X_k) = 1 \end{cases}$$

수학식 14

$$\Lambda(s_{k,0}) = Z'_{2k}$$

즉, 64-ary QAM을 변조방식으로 채택한 데이터 통신 시스템에서, 수신신호 하나에 대한 복조기의 출력이자 채널 복호기의 입력인 네 개의 연성 결정 값을 상기 < 수학식 4> 의 이중최소매트릭법을 사용하여 실제로 계산하는 것은 < 수학식 9> 내지 < 수학식 14> 의 간단한 조건부 수학식을 통해 가능하다.

그러면 상기한 과정을 도 2 및 도 3을 참조하여 설명한다. 도 2 및 도 3은 본 발명의 바람직한 실시 예에 따라 연성 결정 값을 구할 경우의 흐름도이다.

우선 도 2를 참조하여 연설 결정 값들 중 α 을 구하는 과정을 살펴본다. 200단계에서 직교 위상(Y_k)의 MSB 값이 0인가를 검사한다. 상기 검사결과 직교 위상(Y_k)의 MSB 값이 0인 경우 204단계로 진행하여 c 의 값을 1로 설정하며, 그렇지 않은 경우 202단계로 진행하여 c 의 값을 -1로 설정한다. 이와 같이 c 의 값을 결정한 후 206단계로 진행하여 Z_{1k} 의 값을 $|Y_k| - 4a$ 로 설정한다. 그런 후 208단계로 진행하여 상기 206단계에서 결정한 Z_{1k} 의 MSB가 0인가를 검사한다. 상기 검사결과 Z_{1k} 의 MSB가 0인 경우 212단계로 진행하여 a 값을 3으로 설정하며, 그렇지 않은 경우 210단계로 진행하여 a 값을 0으로 설정한다. 이와 같이 a 값을 설정한 후 214단계로 진행하여 Z_{2k} 의 값을 $|Z_{1k}| - 2a$ 로 설정한다. 이와 같이 Z_{2k} 의 값을 설정한 후 216단계로 진행하여 Z_{2k} 의 MSB가 0인가를 검사한다. 상기 검사결과 Z_{2k} 의 MSB가 0인 경우 220단계로 진행하고 그렇지 않은 경우 218단계로 진행하여 β 값을 -1로 설정하며, γ 값을 0으로 설정한다. 이를 통해 228단계에서 α , β , γ 및 c 의 값이 결정되므로 도 2의 흐름도에서 계산하고자 하는 α 의 값들을 구할 수 있다.

한편 220단계로 진행하는 경우 β 값은 0으로 설정된다. 그런 후 222단계로 진행하여 Z_{1k} 의 MSB가 0인가를 검사한다. 상기 검사결과 Z_{1k} 의 MSB가 0인 경우 224단계로 진행하여 γ 값을 1로 설정하며, 그렇지 않은 경우 226단계로 진행하여 γ 값을 -1로 설정한다. 따라서 224단계 또는 226단계에서 γ 값까지 모두 구해지므로 α , β , γ 및 c 의 값이 결정되어 α 의 값들을 구할 수 있다.

다음으로 도 3을 참조하여 연설 결정 값들 중 α' 을 구하는 과정을 살펴본다.

300단계에서 동위상(X_k)의 MSB 값이 0인가를 검사한다. 상기 검사결과 동위상(X_k)의 MSB 값이 0인 경우 304단계로 진행하여 c' 의 값을 1로 설정하며, 그렇지 않은 경우 302단계로 진행하여 c' 의 값을 -1로 설정한다. 이와 같이 c' 의 값을 결정한 후 306단계로 진행하여 Z'_{1k} 의 값을 $|X_k| - 4a'$ 로 설정한다. 그런 후 308단계로 진행하여 상기 306단계에서 결정한 X_{1k} 의 MSB가 0인가를 검사한다. 상기 검사결과 X_{1k} 의 MSB가 0인 경우 312단계로 진행하여 a' 값을 3으로 설정하며, 그렇지 않은 경우 310단계로 진행하여 a' 값을 0으로 설정한다. 이와 같이 a' 값을 설정한 후 314단계로 진행하여 Z'_{2k} 의 값을 $|Z'_{1k}| - 2a'$ 로 설정한다. 이와 같이 a' 값을 설정한 후 316단계로 진행하여 Z'_{2k} 의 MSB가 0인가를 검사한다. 상기 검사결과 Z'_{2k} 의 MSB가 0인 경우 320단계로 진행하고 그렇지 않은 경우 318단계로 진행하여 β' 값을 -1로 설정하며, γ' 값을 0으로 설정한다. 이를 통해 328단계에서 α' , β' , γ' 및 c' 의 값이 결정되므로 도 3의 흐름도에서 계산하고자 하는 α' 의 값들을 구할 수 있다.

한편 320단계로 진행하는 경우 β' 값은 0으로 설정된다. 그런 후 322단계로 진행하여 Z'_{1k} 의 MSB가 0인가를 검사한다. 상기 검사결과 Z'_{1k} 의 MSB가 0인 경우 324단계로 진행하여 γ' 값을 1로 설정하며, 그렇지 않은 경우 326단계로 진행하여 γ' 값을 -1로 설정한다. 따라서 324단계 또는 326단계에서 γ' 값까지 모두 구해지므로 α' , β' , γ' 및 c' 의 값이 결정되어 α' 의 값들을 구할 수 있다.

상기 도 2 및 도 3에서 설명된 바와 같이 이중최소매트릭법에 의한 연성 결정 값 계산 과정은 크게 두 단계로 구분하여 생각할 수 있다. 첫 번째 단계는 직교위상 신호(Y_k)와 a 값을 해석하여 α , β , γ , c 를 결정하고, 동위상 신호(X_k)와 a' 값을 해석하여 α' , β' , γ' , c' 를 결정하는 단계이며, 두 번째 단계는 수신신호와 첫 번째 단계에서 얻어진 값들을 가지고 정해진 식에 의해 연성 결정 값을 출력하는 단계이다. 이를 블록 구성도로 도시하면 도 4와 같이 도시할 수 있다.

도 4는 직교위상 신호(Y_k)와 동위상 신호(X_k) 및 a 값을 이용하여 연성 결정 값을 구하기 위한 블록 구성도이다. 상기 도 4의 블록도를 참조하여 상기 도 2 및 도 3에서 설명된 과정을 간략히 설명한다. 직교위상 신호 해석기(410)는 직교위상 신호(Y_k)와 a 값을 이용하여 상기 도 2의 과정을 통해 α, β, γ, c 의 값을 구한다. 그리고 제1연성 결정 값 출력기(420)는 상기 구해진 α, β, γ, c 의 값을 이용하여 \tilde{z} 의 연성 결정 값을 출력한다. 또한 동위상 신호 해석기(430)는 동위상 신호(X_k)와 a 값을 이용하여 상술한 도 3의 과정을 통해 $\alpha', \beta', \gamma', c'$ 의 값을 구해 출력한다. 상기 제2연성 결정 값 출력기(440)는 상기 동위상 신호 해석기(430)의 출력을 이용하여 \tilde{z} 의 연성 결정 값을 출력한다.

도 5 및 도 6은 64-ary QAM 변조방식의 데이터 통신 시스템에서 복조기를 위한 채널 복호기 입력 연성 결정 값 계산기의 구성도이다. 상기 도 5는 \tilde{z} 의 연성 결정 값을 구하는 계산기의 구성도이며, 상기 도 6은 \tilde{z} 의 연성 결정 값을 구하는 계산기의 구성도이다.

먼저 도 5를 참조하여 \tilde{z} 의 연성 결정 값을 구하는 장치의 구성 및 동작을 살펴본다. 직교위상 신호(Y_k)와 a 값은 제1연산기(501)로 입력된다. 또한 상기 직교위상 신호(Y_k)는 제2가산기(519)와 제1MSB 계산기(529)로 입력된다. 상기 제1연산기(501)는 도 2의 흐름도 중 206단계에서 설명된 바와 같이 $|Y_k| - 4a$ 의 연산을 수행하여 Z_{1k} 의 값을 출력한다. 그리고 상기 제1MSB 계산기(529)는 상기 입력된 직교위상 신호(Y_k)의 MSB 값을 계산하여 출력한다. 상기 제1연산기(501)의 출력은 제2연산기(503)와 제1멀티플렉서(505)의 "0" 입력단과 제2MSB 계산기(531)와 제3가산기(527)로 입력된다. 그리고 상기 제2MSB 계산기(531)는 Z_{1k} 의 MSB 값을 계산하여 제1멀티플렉서(505)의 선택단과 제4멀티플렉서(523)의 선택단으로 출력한다. 또한 상기 제1멀티플렉서(505)의 "1" 입력단으로는 항상 0의 값이 입력되며, 상기 제2MSB 계산기(531)의 선택 신호에 따라 "0" 입력단의 출력 또는 "1" 입력단의 출력이 선택적으로 출력된다.

상기 제2연산기(503)는 상기 도 2의 214단계에서 설명된 바와 같이 $|Z_{1k}| - 2a$ 의 계산을 수행한다. 이와 같이 제2연산기(503)에서 계산된 값은 Z_{2k} 가 되며, 제2곱셈기(509)와 제3MSB 계산기(533)와, 제4곱셈기(521)와, 제4멀티플렉서(523)의 "0" 입력단으로 입력되며, 상기 Z_{2k} 의 값은 연성 결정 값 중 \tilde{z}_2 의 값이 된다. 상기 제2곱셈기(509)는 상기 제2연산기(503)의 출력 값에 -1의 값을 곱셈하여 제2멀티플렉서(511)의 "1" 입력단으로 출력한다. 그리고 상기 제2멀티플렉서(511)의 "0" 입력단의 입력 값은 항상 0의 값을 가진다.

한편 제3MSB 계산기(533)는 Z_{2k} 의 MSB 값을 계산하여 제2멀티플렉서(511)의 선택단과, 제4멀티플렉서(525)의 선택단으로 출력한다. 이에 따라 상기 제2멀티플렉서(511)는 제3MSB 계산기(533)의 출력 값에 따라 "0" 입력단 또는 "1" 입력단의 값을 선택적으로 출력한다. 상기 제2멀티플렉서(511)의 출력은 제1가산기(513)로 입력된다.

또한 상기 제1멀티플렉서(505)의 출력 값은 제1곱셈기(507)로 입력된다. 상기 곱셈기(507)는 제1멀티플렉서(505)의 출력 값을 3배 증폭하여 제1가산기(513)로 출력한다. 따라서 상기 제1가산기(513)는 제2멀티플렉서(511)의 출력과 상기 제4곱셈기(521)의 출력 값을 가산하여 제3곱셈기(515)와 제3멀티플렉서(517)의 "0" 입력단으로 입력한다. 상기 제3곱셈기(515)는 -1의 값을 곱셈하여 제3멀티플렉서(517)의 "1" 입력단으로 입력한다. 또한 상기 제1MSB 계산기(529)의 출력은 상기 제3멀티플렉서(517)의 선택단으로 입력된다. 따라서 상기 제3멀티플렉서(517)는 제1MSB 계산기(529)의 출력 값에 따라 "0" 입력단의 출력 또는 "1" 입력단의 출력을 선택적으로 출력한다. 상기 제3멀티플렉서(517)의 출력은 제2가산기(519)로 입력된다. 따라서 상기 제2가산기(519)는 직교신호 성분(Y_k)과 제2멀티플렉서(517)의 값을 가산하여 출력한다. 상기 제2가산기(519)의 출력은 연성 결정 값 중 \tilde{z}_1 의 값이 된다.

그리고 상기 제4곱셈기(521)는 상기 Z_{2k} 의 값에 -1 의 값을 곱하여 제4멀티플렉서(523)의 "1" 입력단으로 출력한다. 상기 제4멀티플렉서(523)는 선택신호인 제2MSB 계산기(531)의 출력 값에 따라 "0" 입력단 또는 "1" 입력단의 값을 선택적으로 출력하며, 상기 출력 값은 제5멀티플렉서(525)의 "0" 입력단으로 입력된다. 상기 제5멀티플렉서(525)의 "1" 입력단으로는 항상 0의 값이 입력된다. 따라서 상기 제5멀티플렉서(525)의 출력은 제3MSB 계산기(533)에서 출력되는 선택신호에 따라 "0" 입력단의 출력 또는 "1" 입력단의 출력을 선택적으로 출력한다. 이와 같이 제5멀티플렉서(525)의 출력은 제3가산기(527)로 입력되어 상기 제1연산기(501)의 출력 값인 Z_{1k} 와 가산되어 출력된다. 상기 제3가산기(527)의 출력 값은 연성 결정 값 중 M_{5k} 의 값이 된다.

상기한 바와 같이 간단한 회로의 구성으로 직교위상 신호 성분으로부터 계산되는 연성 결정 값을 구할 수 있다.

다음으로 도 6을 참조하여 M_{6k} 의 연성 결정 값을 구하는 장치의 구성 및 동작을 살펴본다. 동위상 신호(X_k)와 a 값은 제3연산기(601)로 입력된다. 또한 상기 동위상 신호(X_k)는 제5가산기(619)와 제4MSB 계산기(629)로 입력된다. 상기 제3연산기(601)는 도 3의 흐름도 중 306단계에서 설명된 바와 같이 $|X_k| - 4a$ 의 연산을 수행하여 Z'_{1k} 의 값을 출력한다. 그리고 상기 제4MSB 계산기(629)는 상기 입력된 동위상 신호(X_k)의 MSB 값을 계산하여 출력한다. 상기 제3연산기(601)의 출력은 제4연산기(603)와 제6멀티플렉서(605)의 "0" 입력단과 제5MSB 계산기(631)와 제4가산기(627)로 입력된다. 그리고 상기 제5MSB 계산기(631)는 Z_{1k} 의 MSB 값을 계산하여 제6멀티플렉서(605)의 선택단과 제9멀티플렉서(623)의 선택단으로 출력한다. 또한 상기 제6멀티플렉서(605)의 "1" 입력단으로는 항상 0의 값이 입력되며, 상기 제5MSB 계산기(631)의 선택 신호에 따라 "0" 입력단의 출력 또는 "1" 입력단의 출력이 선택적으로 출력된다.

상기 제4연산기(603)는 상기 도 3의 314단계에서 설명된 바와 같이 $|Z'_{1k}| - 2a$ 의 계산을 수행한다. 이와 같이 제4연산기(603)에서 계산된 값은 Z'_{2k} 가 되며, 제6곱셈기(609)와 제6MSB 계산기(633)와, 제8곱셈기(621)와, 제9멀티플렉서(623)의 "0" 입력단으로 입력되며, 상기 Z'_{2k} 의 값은 연성 결정 값 중 M_{6k} 의 값이 된다. 상기 제6곱셈기(609)는 상기 제4연산기(603)의 출력 값에 -1 의 값을 곱셈하여 제7멀티플렉서(611)의 "1" 입력단으로 출력한다. 그리고 상기 제7멀티플렉서(611)의 "0" 입력단의 입력 값은 항상 0의 값을 가진다.

한편 제6MSB 계산기(633)는 Z'_{2k} 의 MSB 값을 계산하여 제7멀티플렉서(611)의 선택단과, 제9멀티플렉서(625)의 선택단으로 출력한다. 이에 따라 상기 제7멀티플렉서(611)는 제6MSB 계산기(633)의 출력 값에 따라 "0" 입력단 또는 "1" 입력단의 값을 선택적으로 출력한다. 상기 제7멀티플렉서(611)의 출력은 제4가산기(613)로 입력된다.

또한 상기 제6멀티플렉서(605)의 출력 값은 제5곱셈기(607)로 입력된다. 상기 제5곱셈기(607)는 제6멀티플렉서(605)의 출력 값을 3배 증폭하여 제4가산기(613)로 출력한다. 따라서 상기 제4가산기(613)는 제7멀티플렉서(611)의 출력과 상기 제8곱셈기(621)의 출력 값을 가산하여 제7곱셈기(615)와 제8멀티플렉서(617)의 "0" 입력단으로 입력한다. 상기 제7곱셈기(615)는 -1 의 값을 곱셈하여 제8멀티플렉서(617)의 "1" 입력단으로 입력한다. 또한 상기 제4MSB 계산기(629)의 출력은 상기 제8멀티플렉서(617)의 선택단으로 입력된다. 따라서 상기 제8멀티플렉서(617)는 제4MSB 계산기(629)의 출력 값에 따라 "0" 입력단의 출력 또는 "1" 입력단의 출력을 선택적으로 출력한다. 상기 제8멀티플렉서(617)의 출력은 제5가산기(619)로 입력된다. 따라서 상기 제5가산기(619)는 동위상 신호 성분(X_k)과 제7멀티플렉서(617)의 값을 가산하여 출력한다. 상기 제5가산기(619)의 출력은 연성 결정 값 중 M_{7k} 의 값이 된다.

그리고 상기 제8곱셈기(621)는 상기 Z'_{2k} 의 값에 -1의 값을 곱하여 제9멀티플렉서(623)의 "1" 입력단으로 출력한다. 상기 제9멀티플렉서(623)는 선택신호인 제5MSB 계산기(631)의 출력 값에 따라 "0" 입력단 또는 "1" 입력단의 값을 선택적으로 출력하며, 상기 출력 값은 제10멀티플렉서(625)의 "0" 입력단으로 입력된다. 상기 제10멀티플렉서(625)의 "1" 입력단으로는 항상 0의 값이 입력된다. 따라서 상기 제10멀티플렉서(625)의 출력은 제6MSB 계산기(633)에서 출력되는 선택신호에 따라 "0" 입력단의 출력 또는 "1" 입력단의 출력을 선택적으로 출력한다. 이와 같이 제10멀티플렉서(625)의 출력은 제6가산기(627)로 입력되어 상기 제3연산기(601)의 출력 값인 Z'_{1k} 와 가산되어 출력된다. 상기 제6가산기(627)의 출력 값은 연성 결정 값 중 z_k 의 값이 된다.

상기한 바와 같이 간단한 회로의 구성으로 동위상 신호 성분으로부터 계산되는 연성 결정 값을 구할 수 있다.

이중최소매트릭법을 사용한 연성 결정 값 계산기를 상기 < 수학식 4>에 의해 그대로 구현할 경우 백 회 이상의 제공연산과 비교연산이 필요하게 된다. 반면에 상기 도 5와 도 6의 장치는 상기 제1 내지 제4 연산기들은 가산기로 구성할 수 있으므로 10개의 가산기와, 8개의 곱셈기, 그리고 10개의 멀티플렉서만으로 구성할 수 있다. 즉, 연성 결정 값을 구하는데 필요한 장치들은 총 28개의 장치만으로 구성할 수 있다. 이를 비교표로 도시하면 하기 < 표 12>와 같이 도시할 수 있다.

[표 11]

$I \in \{0, 1, 2, 3, 4, 5\}$ 인 경우 < 수학식 4>의 장치 개수	$I \in \{0, 1, 2, 3, 4, 5\}$ 인 경우 < 수학식 9> 내지 < 수학식 14>의 장치 개수
가산기 $3 \times 64 + 6 = 198$ 개 제곱기 $2 \times 64 = 128$ 개 비교기 3 $1 \times 2 \times 6 = 372$ 개	가산기 10개 곱셈기 8개 멀티플렉서 10개

상기 < 표 12>는 $i \in \{0, 1, 2, 3, 4, 5\}$ 인 경우 < 수학식 4>로 구성되는 경우와 본 발명에 따른 < 수학식 9> 내지 < 수학식 14>로 구성되는 경우의 연산의 종류와 사용되는 장치의 개수들을 나타내었다. 상기 < 표 12>에서 알 수 있듯이 본 발명은 장치의 개수를 현저하게 감소시킴을 알 수 있다.

즉, 본 발명에서는 일반적으로 알려진 이중최소매트릭법의 알고리즘 식인 < 수학식 4>, 혹은 이를 좀더 단순화한 < 수학식 5>를 64-ary QAM에 적용하여 실제로 구현할 경우에 발생하는 시간 지연 및 복잡도를 줄일 수 있다. 이를 위해 상기 < 수학식 6> 내지 < 수학식 8>, 그리고 상기 < 표 1> 내지 상기 < 표 5> 및 < 표 6>의 과정을 통해 상기 < 표 6> 내지 상기 < 표 11>을 도출하였다. 그리고, 이를 64-ary PSK에서의 이중최소매트릭법 적용 시 새로운 구현식인 < 수학식 9> 내지 < 수학식 14>로 정리하였다. 또한, 본 발명에서는 < 수학식 9> 내지 < 수학식 14>를 하드웨어로 구현하는 장치를 제시하였다.

이상에서 상술한 발명의 상세한 설명에서는 도 1에서 보여진 64-ary QAM 변조방식의 성좌도에 대한 연성 결정 값 계산 방법 및 장치에 관해 설명하였으나, 본 발명의 범위에서 벗어나지 않는 한도 내에서의 여러 성좌도에 대해서도 설명한 연성 결정 값 계산 방법 및 장치의 변형이 가능함은 물론이다. 그러므로, 본 발명의 범위는 제시된 성좌도에 대한 실시 예에 국한되어 정해져서는 아니 되며 후술하는 특허청구의 범위와 균등한 것들에 의해 정해져야 한다.

발명의 효과

상술한 바와 같이 본 발명에 따른 장치 및 방법은 데이터 통신 시스템의 64-ary QAM 복조기에서 채널 복호기의 입력으로 요구되는 연성 결정 값(soft decision value)을 이중최소매트릭법을 사용하여 도출할 때 기존의 계산식을 사용하

는 것과 동일한 결과를 내면서 훨씬 간단하고 신속한 계산을 가능케 하는 이점이 있다. 뿐만 아니라 본 발명의 방법에 따라 하드웨어를 구현할 경우 연성 결정 값 계산기 장치는 복조기의 동작 시간을 줄이고 및 그 복잡도를 현저히 감소시킬 수 있는 이점이 있다.

(57) 청구의 범위

청구항 1.

64-어레이(ary) 큐에이엠(QAM) 변조 방식을 사용하는 데이터 통신 시스템에서 복조기의 입력 연성 결정 값을 구하는 방법에 있어서,

단위 좌표 값과 수신된 직교위상 신호 및 동위상 신호를 이용하여 상기 직교위상 신호와 상기 동위상 신호 각각에 대하여 4개씩의 파라미터를 구하는 과정과,

상기 각 파라미터들과 상기 단위 좌표 값, 직교위상 신호 및 동위상 신호를 이용하여 하기 < 수학식 15> 와 같은 연성 결정 값을 구하는 과정으로 이루어짐을 특징으로 하는 상기 방법.

수학식 15

$$A(s_{k,5}) = Y_k + c(a \cdot Z_{1k} + \beta \cdot Z_{2k}) \text{ where } a = \begin{cases} 3 & \text{if } MSB(Z_{1k}) = 0 \\ 0 & \text{if } MSB(Z_{1k}) = 1 \end{cases}$$

$$\beta = \begin{cases} 0 & \text{if } MSB(Z_{2k}) = 0 \\ -1 & \text{if } MSB(Z_{2k}) = 1 \end{cases}$$

$$\text{and } c = \begin{cases} 1 & \text{if } MSB(Y_k) = 0 \\ -1 & \text{if } MSB(Y_k) = 1 \end{cases}$$

$$A(s_{k,0}) = Z'_{2k}$$

청구항 2.

64-어레이(ary) 큐에이엠(QAM) 변조 방식을 사용하는 데이터 통신 시스템에서 복조기의 입력 연성 결정 값을 계산하는 장치에 있어서,

단위 좌표 값과 수신된 직교위상 신호로부터 직교 위상신호를 해석하여 4개의 파라미터를 계산하여 출력하는 직교위상 신호 해석기와,

상기 단위 좌표 값과 수신된 동위상 신호로부터 동위상 신호를 해석하여 4개의 파라미터를 계산하여 출력하는 동위상 신호 해석기와,

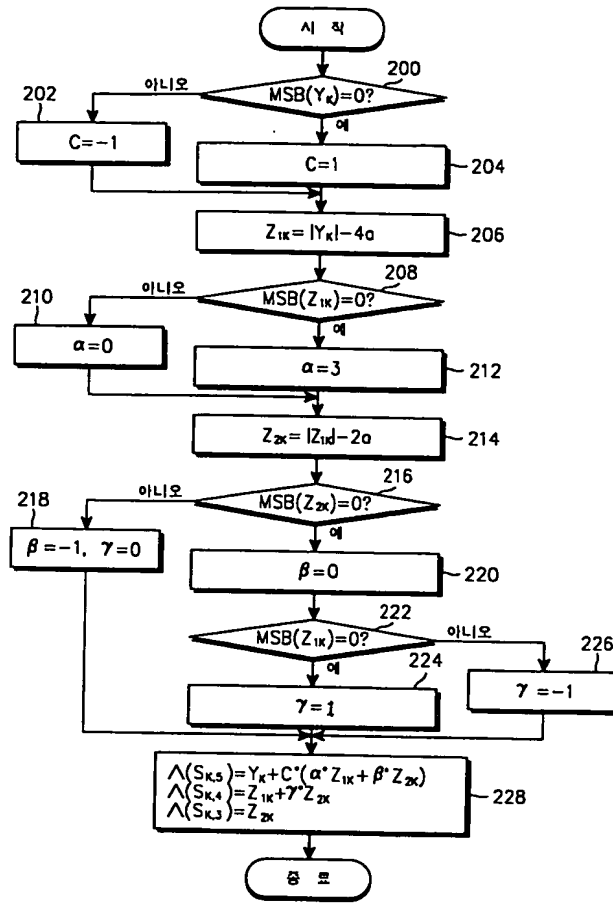
상기 단위 좌표 값과 상기 수신된 직교위상 신호와 상기 동위상 신호와 상기 직교위상 신호 해석기로부터 출력되는 4개의 파라미터와 상기 동위상 신호 해석기로부터 출력되는 4개의 파라미터를 이용하여 연성 결정 값을 계산하는 연성 결정 값 출력기로 구성됨을 특징으로 하는 상기 장치.

도면

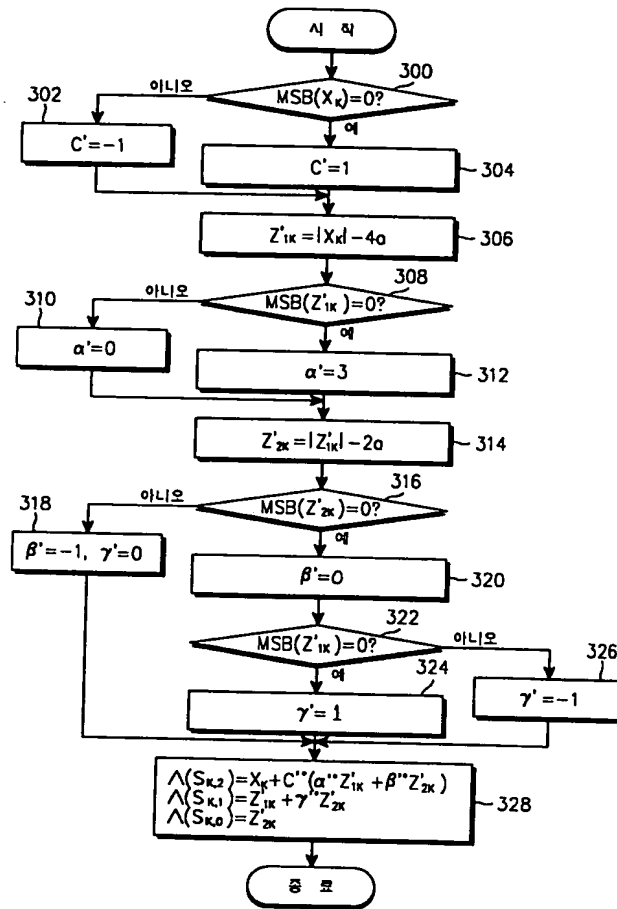
도면 1

101111	101101	100101	100111	000111	000101	001101	001111
101110	101100	100100	100110	000110	000100	001100	001110
101010	101000	100000	100010	000010	000000	001000	001010
101011	101001	100001	100011	000011	000001	001001	001011
111011	111001	110001	110011	010011	010001	011001	011011
111010	111000	110000	110010	010010	010000	011000	011010
111110	111100	110100	110110	010110	010100	011100	011110
111111	111101	110101	110111	010111	010101	011101	011111

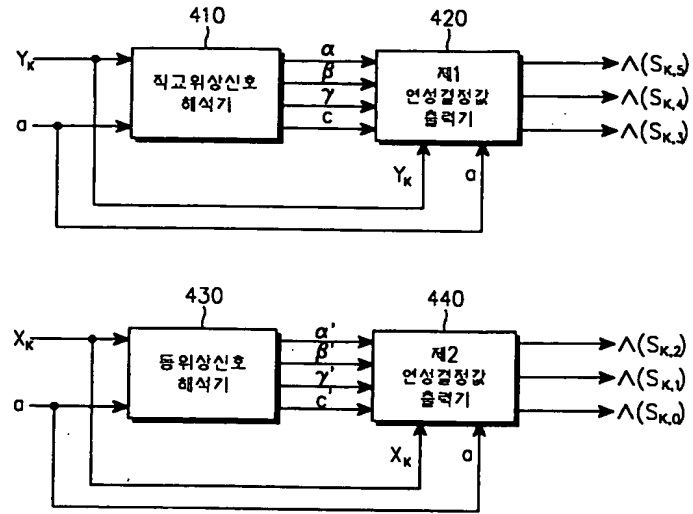
도면 2



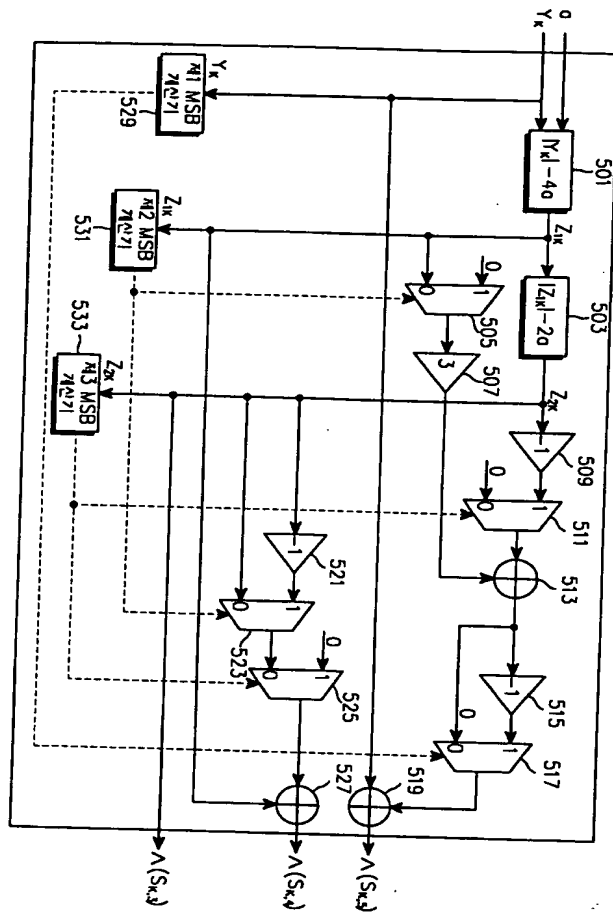
도면 3



도면 4



도면 5



도면 6

